

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

010249284 **Image available**

WPI Acc No: 1995-150539/199520

XRAM Acc No: C95-069667

XRPX Acc No: N95-118246

NOR type stacked structure flush type EEPROM mfr. - by photolithographic etching to provide isolation of plug like contact where data line is connected

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7074326	A	19950317	JP 93217549	A	19930901	199520 B

Priority Applications (No Type Date): JP 93217549 A 19930901

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7074326	A	7	H01L-027/115	

Abstract (Basic): JP 7074326 A

The process forms an upper gate insulating film (207) over a control gate (204). The circumference of this control gate is covered by a sidewall insulating film (208). Then a gate insulating film (202) is formed over a floating electrode (203).

Source and drain diffusion layer (206,205) are provided adjacent to the control gate. Plug like contact (209) is inserted into the gap between adjacent gates, through etch back processing. Through the photolithographic process along with etching, isolation of the plug like contact where the data line is connected is carried out.

ADVANTAGE - Avoids surplus alignment of active element domain and polysilicon wiring layer. Uses metal wiring to connect source line. Forms self alignment contact. Lowers resistance and realises miniaturisation. Reduces cost and cuts down number of processes involved. Stabilises operation.

Dwg.2/4

Title Terms: NOR; TYPE; STACK; STRUCTURE; FLUSH; TYPE; EEPROM; MANUFACTURE; PHOTOLITHOGRAPHIC; ETCH; ISOLATE; PLUG; CONTACT; DATA; LINE; CONNECT

Derwent Class: L03; U13; U14; U21

International Patent Class (Main): H01L-027/115

International Patent Class (Additional): H01L-021/8247; H01L-029/788; H01L-029/792

File Segment: CPI; EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

04781726 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 07-074326 JP 7074326 A]

PUBLISHED: March 17, 1995 (19950317)

INVENTOR(s): SASE YASUKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-217549 [JP 93217549]

FILED: September 01, 1993 (19930901)

INTL CLASS: [6] H01L-027/115; H01L-021/8247; H01L-029/788; H01L-029/792

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2

(INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

ABSTRACT

PURPOSE: To provide a semiconductor device having a reduced cell area by a method wherein a plug-like contact is provided on a source and a drain, a source region is connected with the plug-like contact, and active element regions are isolated every two transistors located on a data line.

CONSTITUTION: Active element regions 100 isolated every two transistor forming regions are formed in a P-type well 200. A diffused drain layer and a diffused source layer, 205 and 206, are formed in the active element region 100, side wall insulating films 103 and 208 are formed on the side wall of a gate electrode, and tungsten plug-like contacts 104, 105, and 209 are provided between the side wall insulating films 103 and 208. A source line wiring is backed up by the plug-like contact 104 and laid, the plug-like contact 105 provided on a drain where a data line is laid is isolated by etching. The active element region is isolated, a joint margin is not required between a source region and a polysilicon wiring, and moreover a source line can be connected without a joint margin, so that a cell can be saved by 35% in necessary area.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74326

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁵

H 0 1 L 27/115

21/8247

29/788

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平5-217549

(22) 出願日

平成5年(1993)9月1日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 佐瀬 察規

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

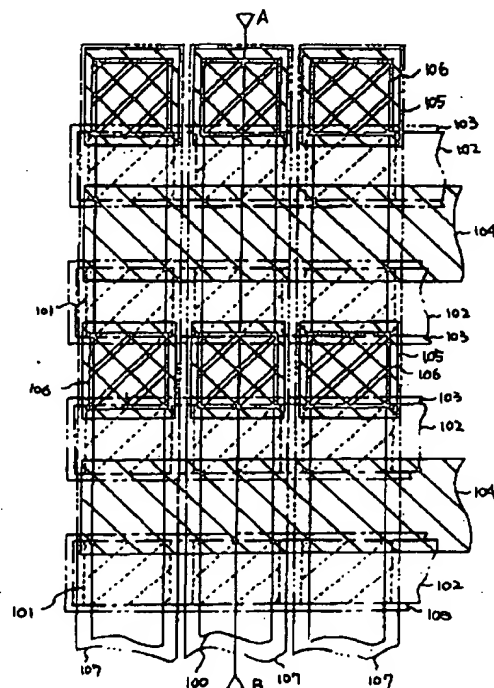
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 NOR型スタック構造フラッシュEEPROMのメモリーセルのソース及びドレインのコンタクト構造の工夫によりセルの微細化をはかる

【構成】 ソース・ドレイン部にプラグ状コンタクトを形成し、ソースドレインともプラグ状コンタクトにより結線して、データ線上の2個のトランジスタ毎に能動素子領域を分離したことを特徴とする半導体装置及びその製造方法。

【効果】 ソース線の接続が拡散層配線から金属配線に変更されたことにより、データ線上のトランジスタが2個ずつ分離されるようになった為に、能動素子領域とポリシリコン配線層の合わせ余裕が不用となる。自己整合的にコンタクトを形成できるために、コンタクトの合わせ余裕の必要がない。ソース線が金属配線層で接続されるために微細化しても低抵抗が実現できる。コンタクト孔形成時、側壁保護膜形成工程で兼用するために、工程が省略できるためコストが低減できる。



1

【特許請求の範囲】

【請求項1】 NOR型スタック構造フラッシュEEPROMに於て、(a) コントロールゲートとなる電極材の上部にゲート上部絶縁膜を形成する工程と、(b) コントロールゲート上に前記絶縁膜を残したままコントロールゲートに加工する工程と、(c) フローティング及びコントロールゲートに対して第2の絶縁膜をデポジションする工程と、(d) 第2の絶縁膜をエッチバックにより側壁絶縁膜としてフローティング及びコントロールゲートの側壁に対して形成する工程と、(e) 側壁絶縁膜に挟まれた領域をコンタクトホールとして電極材を形成する工程と、(f) エッチバックにより電極材をプラグ状コンタクトに形成する工程と、(g) データ線の埋め込まれたプラグ状コンタクト部をフォトリソグラフィ工程とエッチング工程により分離する工程と、(h) 層間絶縁膜を形成する工程と、(i) フォトリソグラフィ工程とエッチング工程により層間絶縁膜にビアホールを形成する工程と、(j) 金属配線によりデータ線を接続する工程、からなることを特徴とする半導体装置の製造方法。

【請求項2】 側壁絶縁膜に挟まれた領域に形成するコンタクトが、金属のCVD法による形成とエッチバックを組み合わせた方法によりプラグ状コンタクトとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 メモリーセル外周部にダミーのゲート電極パターンを形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 NOR型スタック構造フラッシュEEPROMに於て、側壁絶縁膜で囲まれた領域にプラグ状コンタクトを形成され、かつソース領域はプラグ状コンタクトにより裏打ち配線されていることを特徴とする半導体装置。

【請求項5】 側壁絶縁膜で囲まれた領域に形成されたプラグ状コンタクトがポリシリコンプラグであることを特徴とする請求項4記載の半導体装置。

【請求項6】 側壁絶縁膜で囲まれた領域に形成されたプラグ状コンタクトがタングステンやモリブデン等の高融点金属プラグであることを特徴とする請求項4記載の半導体装置。

【請求項7】 側壁絶縁膜で囲まれた領域に形成されたプラグ状コンタクトがポリサイドプラグであることを特徴とする請求項4記載の半導体装置。

【請求項8】 能動素子領域がデータ線上の2個のトランジスタ毎に分離されていることを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の構造及びその製造方法に関し、特にNOR型スタック構造フラッシュEEPROMのセルの微細化に関する。

2

【0002】

【従来の技術】 NOR型スタック構造フラッシュEEPROMのセル構造は図3に示す平面図のような構造であった。図3について詳細に説明すれば、1つのトランジスタで構成されるセルがLOCOS素子分離膜300で2個のセル毎に分離されている。また、LOCOS上にワード線となるコントロールゲート301と各セルに対して配置されるフローティングゲート302は図3に示すように配置され、データ線の金属配線305はドレイン上のコンタクトホール304でそれぞれ接続されている。尚、図中303で示すのはゲート電極の側壁保護絶縁膜である。

【0003】 以上から分かるように、効率的なセル配置をする為にソース線は拡散層を用いて共通とし、データ線はソース線に対して垂直方向のドレインを金属配線で結ぶという配置を取っていた。これにより、ワード線のコントロールゲートのラインである配線とソースライン配線とドレイン群のデータライン配線が効率的に配置されていた。

【0004】

【発明が解決しようとする課題】 メモリー素子には、時代とともにより大容量の記憶容量が要求されていくために、さらなる微細化が要求される宿命にある。図3に示すようによく知られている従来のセル構造では効率的に配線の配置がなされていたが、ソース線は拡散層を用いるために、十分小さな抵抗値とするために拡散層幅を大きく取る必要があり、データ線は各々コンタクトホールを形成する必要があるために製造上の合わせ余裕を設ける必要がある。これは、より小さなサイズを要求されるメモリーデバイスであるフラッシュEEPROMの微細化に対して非常に困難として立ちはだかる問題となる。

【0005】 NOR型スタック構造フラッシュEEPROMに於て、さらに集積度を上げるためには当然ながらソース線・データ線・ワード線の面積を縮小する必要がある。

【0006】 データ線としてのポリシリコン配線はトランジスタのゲート配線を兼ねているためにその微細化にはMOSトランジスタのパンチスルーによって制限される限界がある。従って拡散層の抵抗を下げることでコンタクト抵抗を下げることで微細化の大きな鍵となると言える。

【0007】 拡散層の抵抗を下げる手段としては、サリサイド技術等を用いて拡散層の抵抗を下げる方法が考えられるが、サリサイド技術を用いた場合シリサイド化の為にアニールが必要であったり、シリサイドからのストレス等のために非常に薄いトンネルゲート絶縁膜を持つEEPROMの形成工程としては素子の信頼性の観点から馴染まない。

【0008】 ところで、従来型のセルではソース線は拡散層を用いているために、微細化を進め拡散層が浅くな

3

ってくるとシート抵抗が急激に上昇していく。

【0009】例えば拡散層深さを $0.3\mu\text{m}$ 程度以下にすると、拡散層のシート抵抗は $80\Omega\cdot\Box$ 以上となり、ソース拡散層の幅が $1\mu\text{m}$ 程度まで微細化されると、セル間の抵抗値が非常に高くなりトランジスタソース抵抗を介し電荷をソース線に流すことによりデータを読みとるNOR型スタック構造フラッシュEEPROMに於ては高速動作に支障をきたすこととなる。

【0010】また図3から判るように、この構造ではゲート電極と拡散層のラインの位置関係として合わせ余裕と側壁絶縁膜幅の余裕が必要となることが判る。このうち、合わせ余裕は素子の動作と関係がないために縮小されること、若しくは無いことが望ましい。ちなみに、従来の構造で合わせ余裕はフォトリソグラフィ工程・エッチング工程の現実的な実力として $0.8\mu\text{m}$ ルールのプロセス技術では約 $0.2\sim 0.3\mu\text{m}$ は必要であると思われる。

【0011】また、ソース部のコンタクトホールについて考えれば、 $1\mu\text{m}$ 幅の拡散層の中にコンタクトホールを形成しようとする、ゲート電極側面に形成される側壁絶縁膜の幅が約 $0.1\sim 0.2\mu\text{m}$ 必要な上に、フォトリソグラフィの合わせ余裕及びエッチング寸法ばらつきを吸収するための寸法余裕が厳しくとも $0.2\mu\text{m}$ は必要のために $1\mu\text{m}$ の拡散層幅から合わせ余裕を差し引くと最大 $0.4\mu\text{m}$ しか残らない。

【0012】ここでコンタクトの面積を減らす方法を考えてみると、コンタクト径を小さくする方法と合わせ余裕を小さくする方法の2通りが考えられるが、コンタクト径を小さくして行くとコンタクト抵抗が増大したり（現実的には $0.8\mu\text{m}$ ルールのプロセス技術では十分な低抵抗を実現するには $0.6\mu\text{m}$ の面積が必要であると思われる。）、コンタクトでの断線が発生したりするために限界がある。

【0013】また、ただ合わせ余裕を厳しくすることは製造コストを著しく上昇させたり、歩留りの低下を生じさせることとなる。

【0014】従ってソース線の拡散層の幅は最低でも従来の $0.8\mu\text{m}$ ルールのプロセス技術では $1.2\mu\text{m}$ 以上必要になる。

【0015】また、ワード線のドレイン領域の面積を減らす方法についてはコンタクト部分の面積で決まっているためにやはりコンタクト領域の面積を減らすのが一番の方法となる。

【0016】本発明は、NOR型スタック構造フラッシュEEPROMのメモリーセルのソース及びドレインのコンタクト構造の工夫により領域面積を最少にし、セルの微細化をはかることを目的とする。

【0017】

【課題を解決するための手段】課題を解決するために、構造としてはNOR型スタック構造フラッシュEEPROM

4

OMに於て、その製造方法として、(a)コントロールゲートとなる電極材の上部に絶縁体膜を形成する工程と、(b)コントロールゲート上に前記絶縁膜を残したままコントロールゲートに加工する工程と、(c)フローティング及びコントロールゲートに対してゲート上部絶縁膜をデポジションする工程と、(d)エッチバックにより側壁絶縁膜をフローティング及びコントロールゲートに対して形成する工程と、(e)側壁絶縁膜に挟まれた領域をコンタクトホールとして電極材を形成する工程と、(f)エッチバックにより電極材をプラグ状コンタクトに形成する工程と、(g)データ線の埋め込まれたプラグ状コンタクト部をフォトリソグラフィ工程とエッチング工程により分離する工程と、(h)層間絶縁膜を形成する工程と、(i)フォトリソグラフィ工程とエッチング工程により層間絶縁膜にビアホールを形成する工程と、(j)金属配線によりデータ線を接続する工程、からなる方法を用いて、その構造としてソース・ドレイン部にプラグ状コンタクトを形成することによりドレイン部の面積を低減し、ソース領域もプラグ状コンタクトにより結線することによりソースラインを小面積かつ低抵抗とし、データ線上の2個のトランジスタ毎に能動素子領域を分離することで更なる微細化を図る。

【0018】

【実施例】以下本発明の実施例について詳細に説明する。

【0019】図1に本発明による1実施例であるシリコン基板上に形成されたNOR型スタック構造フラッシュEEPROMメモリーセルの上から見た平面図を示し、図2には図1中A-Bで示す線分に沿った断面を示す。以下、図1・図2に従い本発明の半導体装置の構造について比較して説明する。

【0020】セルの平面構造について説明すれば、 $3\sim 5\times 10^{16}\text{cm}^{-3}$ の不純物濃度のP形ウエル200中に2個のトランジスタ形成領域毎に分離された能動素子領域100を形成し、その上に厚さ $=8\sim 10\text{nm}$ のトンネルゲート絶縁膜201を介してチャネル長 $=0.8\mu\text{m}$ で層間に $20\sim 30\text{nm}$ のゲート層間絶縁膜202を挟んだフローティングゲート101・203及びコントロールゲート102・204がピッチ $=1.6\mu\text{m}$ で形成してあり、ゲート電極脇の能動素子領域にはドレイン拡散層205、ソース拡散層206を形成してある。そしてゲート電極上部には厚さ $=300\text{nm}$ のゲート上部絶縁膜207、またゲート電極側壁には幅 $=0.2\mu\text{m}$ 側壁絶縁膜103・208がある。

【0021】側壁絶縁膜間にはタングステンのデポジションとエッチバックを用いて形成されたプラグ状コンタクト104・105・209が形成されていてソースラインの配線はプラグ状コンタクト104で裏打ち配線されている形となっている。また、データ線が配線されるドレイン部のプラグ状コンタクト105は各々エッチ

5

グされることにより分離されている。

【0022】さらにプラグ状コンタクトの上を層間絶縁膜210で絶縁分離し、ビアホール106を介してデータ線となる上層のアルミ配線107・211が形成し、その上にパシベーション膜212を形成してある。

【0023】本構造によれば、ソース領域の幅が $0.8\mu\text{m}$ （実質的には側壁絶縁膜により $0.4\mu\text{m}$ ）と狭くなくてもソース線抵抗は金属配線層で結線されるために低く抑えられ、さらにデータ線上の2個のトランジスタ毎に能動素子領域が分離されているために、ソース拡散層とワード線となるポリシリコン配線の合わせ余裕を取る必要もない。また、従来の技術のフォトリソグラフィ工程を用いてソース線領域の結線を行なおうとするとフォトリソグラフィ工程の合わせ余裕の $0.2\mu\text{m}$ 確保のためにポリシリコン配線間ピッチが $2\mu\text{m}$ （コンタクト形成領域では $2.4\mu\text{m}$ ）必要となるために本構造は従来構造に比べてセルの必要面積が35%節約できることが判る。

【0024】次に、図4(a)～(d)に先に示した本実施例の主要工程毎の断面図を示し本発明の半導体装置の製造方法について詳細に説明する。

【0025】図4(a)に示すような能動素子領域を形成するのは従来から良く知られている素子分離形成方法、例えばトレンチ分離・LOCOS分離等何を用いても良いが、今回はLOCOS素子分離膜402を良く知られている方法により窒化シリコン膜マスクを用いて形成されたものである。尚、本実施例では厚さ $=700\text{nm}$ に形成してある。また、セル領域のP形ウエル401はボロンをイオン注入法によりドーズ量 $=0.8\sim 1.0\text{E}13\text{cm}^{-2}$ だけシリコン基板400に注入した後、 $1000\sim 1100^\circ\text{C}$ で10～15時間アニールすることで形成した。また、トンネルゲート絶縁膜403は熱酸化により $8\sim 10\text{nm}$ に形成し、しきい値調整のためのイオン注入もボロンをドーズ量 $=4\text{E}12\text{cm}^{-2}$ ・打ち込みエネルギー $=80\text{KeV}$ の条件で行なわれている。図中404で示すのはそのチャネルドープ層である。

【0026】次に、図4(b)に示すように、はじめフローティングゲート405となるN形ポリシリコンを膜厚 $=0.1\sim 0.2\mu\text{m}$ だけデポジション後フォトリソグラフィ工程・エッチング工程を介して2辺をエッチング後、酸化工程により $20\sim 30\text{nm}$ のゲート層間絶縁膜406を形成し、コントロールゲート407となる2層目のN型ポリシリコンを厚さ $=0.1\sim 0.2\mu\text{m}$ だけデポジションする。その上にゲート上部絶縁膜408を $0.3\mu\text{m}$ デポジションした後に、フォトリソグラフィ工程・エッチング工程によりフローティングゲートと共にコントロールゲートの形成を行なう。この時セル外周部にダミーのゲート電極パターン409を形成すると後の工程のプラグ状コンタクト形成に都合がよい。

6

【0027】その後、図4(c)に示すようにソース・ドレイン拡散層410を砒素・打ち込みエネルギー $=60\sim 100\text{KeV}$ ・ドーズ量 $=6\text{E}15\text{cm}^{-2}$ の条件でイオン注入により形成した後、酸化シリコン膜を $0.5\mu\text{m}$ デポジションし、エッチバックする事で側壁絶縁膜411を形成する。その後、 900°C で20分程アニールを行いソース・ドレイン拡散層の活性化を行なう。

【0028】そして、バリアメタルとしてTiN層を形成後、タングステンをCVD法によりデポジションし、エッチバック工程にてプラグ状コンタクト412を形成する。

【0029】さらに、フォトリソグラフィ工程・エッチング工程により、タングステン層は配線に必要なパターン形状に分離される。

【0030】最後に、図4(d)に示すように層間絶縁膜413形成後、ビアホールをフォトリソグラフィ工程・エッチング工程により形成し、その上にアルミニウム層をスパッタ法により形成しフォトリソグラフィ工程・エッチング工程によりアルミニウム配線414を形成し、窒化シリコン膜をCVD法でデポジションしパシベーション膜415とする。

【0031】この方法を用いればコンタクトホールは自己整合的にソース・ドレイン拡散層上に配置され、そのために形成される素子の面積は格段に微細化される。また、ソース拡散層はタングステン配線により裏打ちされているために抵抗が低く抑えられ、さらに従来方法で生じていたようなセルの両端で大きな抵抗が乗らないために回路の動作も安定している。

【0032】

【発明の効果】本発明により、つぎの4点の大きな効果が得られた。

【0033】①ソース線の接続が拡散層配線から金属配線に変更されたことより、データ線上のトランジスタが2個づつ分離されるようになった為に、能動素子領域とポリシリコン配線層の合わせ余裕が不用となったこと。

【0034】②ソース線が金属配線層で接続されるために微細化しても低抵抗が実現できる様になったこと。本構造の場合、通常の拡散層を用いた場合の約1/5の抵抗が得られるため、ソース領域幅を半分にしても抵抗値は従来の拡散層よりも低いものが得られた。また、従来の構造では金属配線の裏打ちを行うと各トランジスタ毎にコンタクトを形成する必要があったために面積の増加が生じたが、本構造では面積の増加が無い。

【0035】また、更なる微細化が行なわれるようになると拡散層の抵抗がトランジスタのON抵抗を越えるようになってくることが予想されるが、そのとき金属配線のソース配線となっていればソース抵抗が原因の動作速度の低下は拡散層配線に比べて非常に小さい。

【0036】③自己整合的にコンタクトを形成できるために、コンタクトの合わせ余裕の必要がなくなったこ

7

と。

【0037】④また、本発明の半導体装置の製造方法によれば、コンタクト孔形成時、側壁保護膜形成工程で兼用するために、層間膜形成工程と、コンタクト孔のフォトリソグラフィ工程と、エッチング工程の3工程が省略できるためコストの低減も可能である。

【0038】①・②・③の3点より、NOR型スタック構造フラッシュEEPROMのセルが従来の方法によるセルに比べて面積比で0.8 μ mルール of 製造プロセス技術を用いた場合に約35%もの微細化が可能となった上に動作も安定するようになった。

【0039】その上に更なる微細化に対してもソース抵抗が原因となる速度の低下は無視できるようになり製造コストの低減も可能となった。

【図面の簡単な説明】

【図1】本発明の1実施例のNOR型スタック構造フラッシュEEPROMメモリーセルの上から見た平面図。

【図2】本発明の1実施例のNOR型スタック構造フラッシュEEPROMメモリーセルの図1中A-Bで示す線分に沿った断面図。

【図3】従来のNOR型スタック構造フラッシュEEPROMのセルを示す平面図。

【図4】本発明の1実施例のNOR型スタック構造フラッシュEEPROMメモリーセル形成工程の主要工程毎の断面図。

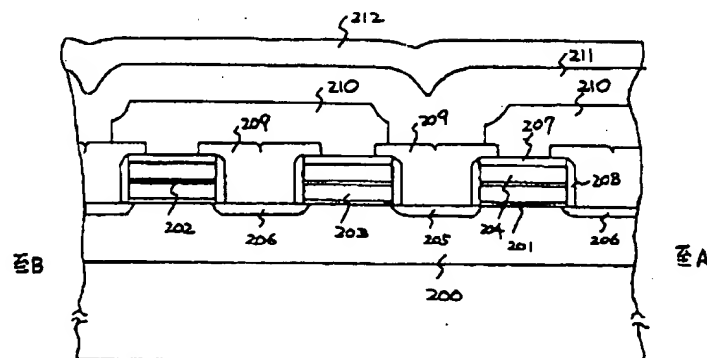
【符号の説明】

100 能動素子領域
101 フローティングゲート
102 コントロールゲート
103 側壁絶縁膜
104 プラグ状コンタクト
105 プラグ状コンタクト
106 ヴィアホール
107 アルミニウム配線
200 P型ウエル

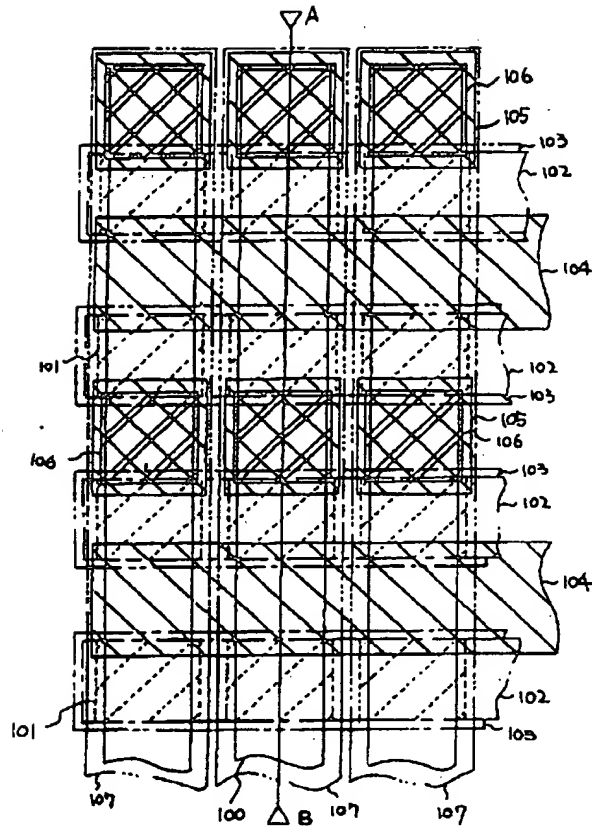
8

201 トンネルゲート絶縁膜
202 ゲート層間絶縁膜
203 フローティングゲート
204 コントロールゲート
205 ドレイン拡散層
206 ソース拡散層
207 ゲート上部絶縁膜
208 側壁絶縁膜
209 プラグ状コンタクト
210 層間絶縁膜
211 アルミニウム配線
212 パシベーション膜
300 LOCOS素子分離膜
301 コントロールゲート
302 フローティングゲート
303 側壁絶縁膜
304 コンタクトホール
305 金属配線
400 シリコン基板
401 P型ウエル
402 LOCOS素子分離膜
403 トンネルゲート絶縁膜
404 チャネルドープ層
405 フローティングゲート
406 ゲート層間絶縁膜
407 コントロールゲート
408 ゲート上部絶縁膜
409 ダミーゲート電極パタン
410 ソース・ドレイン拡散層
411 側壁絶縁膜
412 プラグ状コンタクト
413 層間絶縁膜
414 アルミニウム配線
415 パシベーション膜

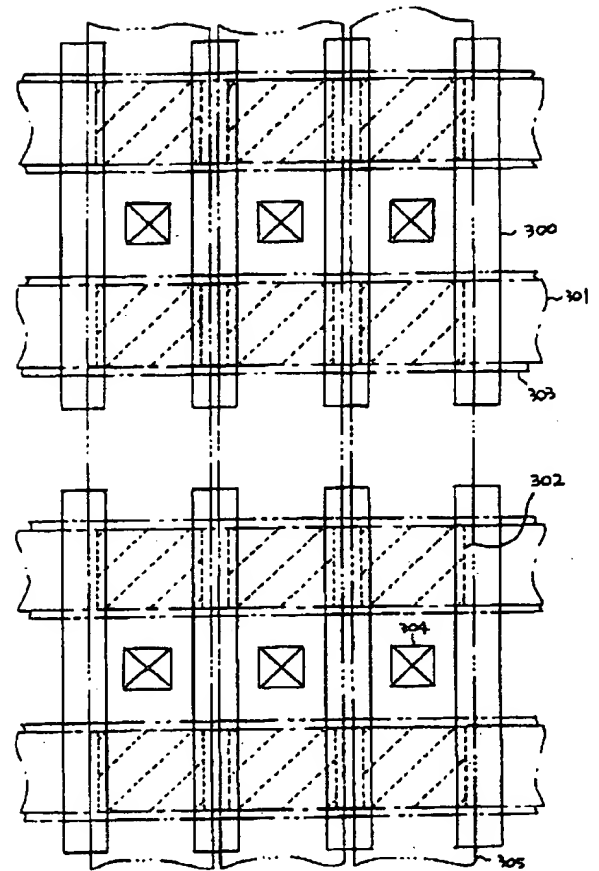
【図2】



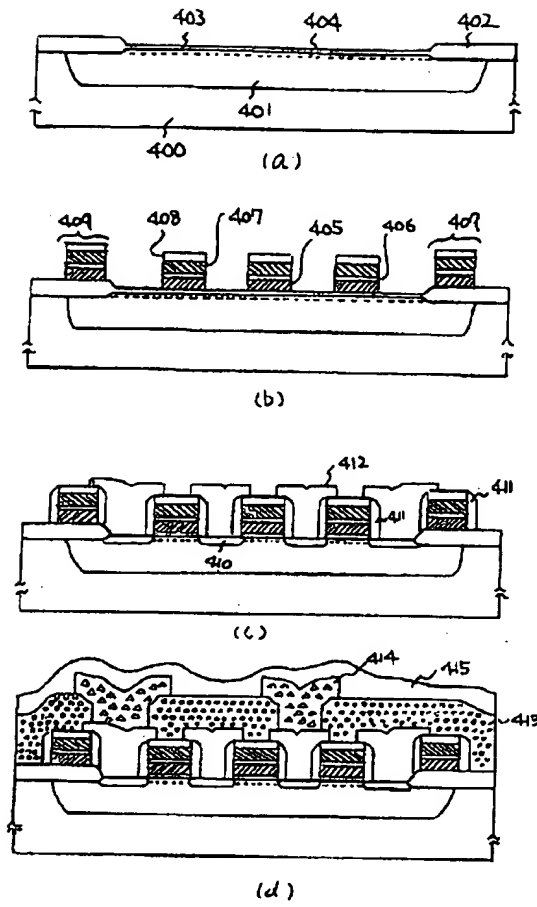
【図1】



【図3】



〔図 4〕



フロントページの続き

(51)Int.Cl.⁶
H01L 29/792

識別記号 庁内整理番号 F I

技術表示箇所